

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-151050**

(43)Date of publication of application : **11.06.1990**

(51)Int.Cl.

**H01L 21/76**  
**H01L 21/331**  
**H01L 27/102**  
**H01L 29/73**

(21)Application number : **63-305217**

(71)Applicant : **NEC CORP**

(22)Date of filing : **01.12.1988**

(72)Inventor : **TAKADA TOSHIAKI**

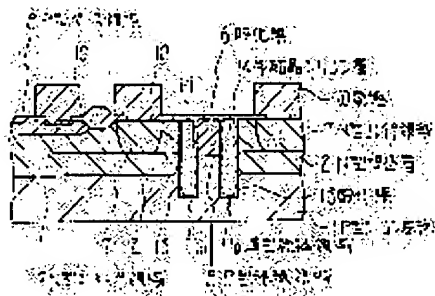
## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To widen substantially the interval between a high-concentration N-type buried layer and a P-type insulating region and to make it possible to obtain a high breakdown strength by a method wherein even if the interval between the buried layer and the insulating region is made narrow, groove-type insulating regions to reach sufficiently from the surface of an N-type epitaxial layer to a P-type semiconductor substrate are provided between the buried layer and the insulating region.

**CONSTITUTION:** Grooves to reach sufficiently from the surface of an epitaxial layer to a P-type silicon substrate 1 are cut, an oxide film 13 is formed on the side surfaces of the grooves and groove-type insulating regions 11a and 11b are formed by filling a poly silicon layer 14 in the grooves.

Moreover, a P-type insulating region 6, a silicon oxide film 6, an N-type collector region 7, a P-type base region 8, an N-type emitter region 9 and electrodes 10 are provided in order in the epitaxial layer and between the regions 11a and 11b. In such a way, if a device is constituted in such a structure that the region 5 is pinched between the regions 11a and 11b, the interval between a high-concentration N-type buried layer 2 and the region 5 is substantially widened by the amount of bite of the regions 11a and 11b into the substrate 1 even if an interelement distance is reduced. Therefore, the dielectric breakdown strength of the device can be held highly.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-151050

⑬ Int.Cl.<sup>5</sup>

H 01 L 21/76  
21/331  
21/76  
27/102  
29/73

識別記号

L

庁内整理番号

7638-5F

V

7638-5F

⑭ 公開 平成2年(1990)6月11日

8526-5F

H 01 L 29/72

8624-5F

27/10

4 3 5

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-305217

⑰ 出 願 昭63(1988)12月1日

⑱ 発 明 者 高 田 稔 秋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

一導電型半導体基板上に逆導電型半導体層が設けられ、前記逆導電型半導体層が一導電型絶縁分離領域によって島領域に絶縁分離され、前記島領域に半導体素子が形成されて成る半導体装置において、前記一導電型絶縁領域を少くとも外表面が絶縁物である消型絶縁領域で挟んだことを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に高耐圧素子を含む半導体装置に関する。

(従来の技術)

従来、高耐圧半導体装置には、高電圧の加わる

通信用ICや書き込み時に高耐圧の必要なPROM、PLD等がある。PROMを例にすると、大電流を出力から流し込み、メモリセルに情報を書込む時に書き込み電流を制御する回路等に、書き込み電流の電圧降下により高電圧が加わる。耐圧が低い部分があると、そこから電流漏れを起こしてしまうため予め耐圧を高く設計しておく必要がある。

第3図は従来の高耐圧半導体装置の第1の例の断面図である。

P型シリコン基板1に高濃度N型埋込層2及び高濃度P型埋込層3を形成し、P型シリコン基板1上にN型エピタキシャル層4を堆積し、エピタキシャル層4内にP型絶縁領域5、シリコン酸化膜6、N型コレクタ領域7、P型ベース領域8、N型エミッタ領域9、電極10を順次設ける。

高耐圧にするために、エピタキシャル層4を厚くして、コレクターベース接合耐圧及びコレクターエミッタ耐圧を高くし、また、N型埋込層2とP型埋込層3の距離を離して、素子と素子の間の

絶縁耐圧を高くしていた。耐圧を30V以上とするための設計例について説明する。

コレクターベース接合耐圧を高くするために、N型エピタキシャル層4の厚さを2.5 $\mu$ mと厚くし、P型ベース領域8が高濃度N型埋込層2に接近しないようにする。すると、素子と素子を分離するために、P型絶縁領域5を高濃度P型埋込層3に届かすために1100℃程度の高温の熱処理を施さなければならず、高濃度N型埋込層2、P型埋込層3及びP型絶縁領域5が縦方向に拡散し、絶縁耐圧を低下せしめることになる。これを防止するため、今度は高濃度埋込層2と高濃度P型埋込層3及びP型絶縁領域5の距離を十分にとって絶縁耐圧を30V以上になるように調整しなければならなくなった。例えば、高濃度N型埋込層2と高濃度P型埋込層3の距離を8 $\mu$ mとすると素子間距離は18 $\mu$ m以上となる。

このように、高耐圧を得るため、N型エピタキシャル層4の膜厚を厚くし素子間の距離を十分にとらなければならないため、高集積化が困難にな

るという欠点があった。

第4図は従来の高耐圧半導体装置の第2の例の断面図である。

この半導体装置は、第5図に示した第1の例を改良したもので、N型エピタキシャル層4の表面から溝を十分深く掘り、次にイオン注入法でP型不純物を溝の底部に注入し、溝の側面に酸化膜13を形成した後多結晶シリコン層14を充填して溝の底部にP型絶縁領域5を設ける。

(発明が解決しようとする課題)

上述したように、第1の例の半導体装置では、高耐圧を得るために、N型エピタキシャル層の膜厚を厚くし、素子間距離を広くとったりしていたため、単位素子当りの面積が大きく、高集積化が難しいという問題があった。

また、第2の例の半導体装置では、溝の底部にイオンを注入するとき、溝が深いため、P型不純物のイオン入射角が僅かに傾いても底部に注入イオンが届かず、第6図に示すように、溝の側面に注入され、絶縁耐圧を低下させるという問題が

あった。

(課題を解決するための手段)

本発明は、一導電型半導体基板上に逆導電型半導体層が設けられ、前記逆導電型半導体層が一導電型絶縁分離領域によって島領域に絶縁分離され、前記島領域に半導体素子が形成されて成る半導体装置において、前記一導電型絶縁領域を少くとも外表面が絶縁物である溝型絶縁領域で挟んだことを特徴とする。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の断面図である。

P型シリコン基板1に高濃度N型埋込層2及び高濃度P型埋込層3を形成し、P型シリコン基板1上にN型エピタキシャル層4を堆積する。エピタキシャル層4の表面からP型シリコン基板1に十分達する溝を掘り、溝の側面に酸化膜13を形成し、多結晶シリコン層14を充填することによ

り溝型絶縁領域11a、11bを形成する。そして、エピタキシャル層4内に、かつ溝型絶縁領域11aと11bとの間にP型絶縁領域5、シリコン酸化膜6、N型コレクタ領域7、P型ベース領域8、N型エミッタ領域9、電極10を順次設ける。

上記のように、P型絶縁領域5を溝型絶縁領域11aと11bとの間に挟むような構造にすると、素子間の距離を縮めても、P型シリコン基板1に溝型絶縁領域11a、11bが食い込んだ分だけ実質的に高濃度N型埋込層2とP型絶縁領域5との間隔が離れるため絶縁耐圧を高く保つことができる。

このことを数値例で説明する。耐圧を30V以上とするため、N型エピタキシャル層4の厚さを2.5 $\mu$ mと厚くし、P型ベース領域8が高濃度N型埋込層2に接近しないようにして、コレクターベース接合耐圧を30V以上に保つ。次に、高密度化を図るために、高濃度N型埋込層2とP型絶縁領域5との間隔を2 $\mu$ mとし、その間にN型エ

ヒタキシャル層4の表面からP型シリコン基板1にさらに $3.5\mu\text{m}$ 食い込んだ幅 $1\mu\text{m}$ の溝型絶縁領域11を設けると、実質的に高濃度N型埋込層2とP型絶縁領域5との間隔が溝型絶縁領域11a, 11bの側面の距離となって $8\mu\text{m}$ となる。この場合、溝型絶縁領域11a, 11bの深さは $6\mu\text{m}$ となり、素子間距離は $7\mu\text{m}$ 程度に縮めることができる(第5図の従来例では $18\mu\text{m}$ であった)。

このように、本発明によれば、耐圧を維持したまま半導体装置の高密度化が図れる。

第2図は本発明の第2の実施例の断面図である。

この実施例では、溝型絶縁領域11a, 11bをV字形溝にしてすべて酸化膜で充填したものである。それ以外は第1の実施例と同じである。

〔発明の効果〕

以上説明したように、本発明は、高濃度N型埋込層とP型絶縁領域の間隔を狭くしても、その間にN型エピタキシャル層の表面からP型半導体基

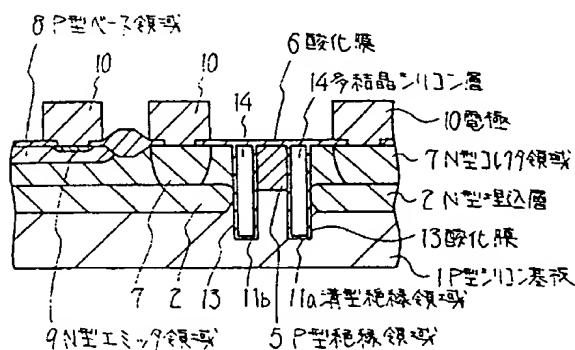
板に十分に達する溝型絶縁領域を設けることにより、実質的に間隔を広げ、高耐圧が得られると共に素子と素子との間隔を狭くすることができ、高集積化ができる効果がある。

#### 図面の簡単な説明

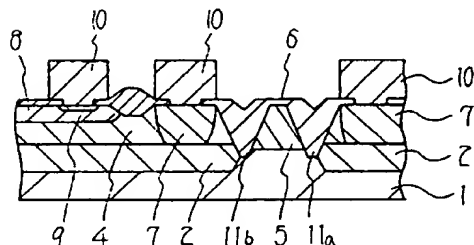
第1図は本発明の第1の実施例の断面図、第2図は本発明の第2の実施例の断面図、第3図は従来の高耐圧半導体装置の第1の例の断面図、第4図は従来の高耐圧半導体装置の第2の例の断面図である。

1…P型シリコン基板、2…N型埋込層、3…P型埋込層、4…N型エピタキシャル層、5…P型絶縁領域、6…酸化膜、7…N型コレクタ領域、8…P型ベース領域、9…N型エミッタ領域、10…電極、11…溝型絶縁領域、13…酸化膜、14…多結晶シリコン層。

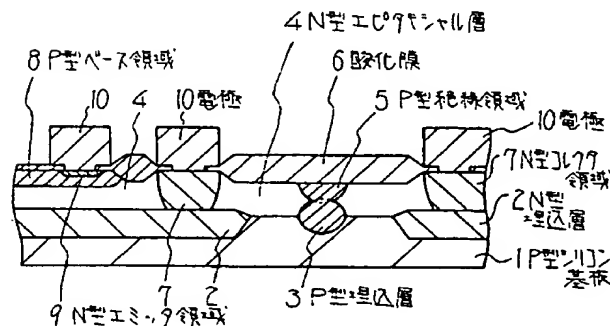
代理人 井理士 内 原 晋



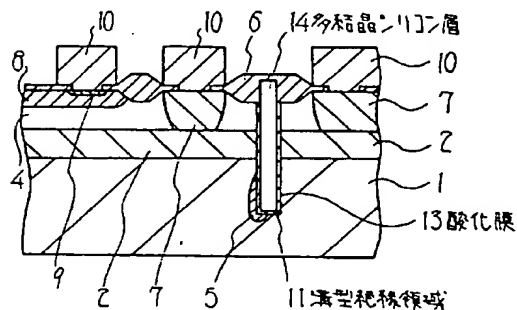
第1図



第2図



第3図



第4図